

カリキュラムシート

分類番号

A302-190-3

訓練分野	電気・電子系	訓練コース	HDLテストベンチ設計手法	
訓練対象者	電子機器の回路設計・開発に従事する技能・技術者等であって、指導的・中核的な役割を担う者又はその候補者			
訓練目標	HDLを使用したFPGA・CPLD設計・開発の効率化・最適化（改善）をめざして、実用的なテストベンチの作成、検証技法を習得する。			
教科の細目	内 容		訓練時間 (H)	うち実習・まとめ (H)
1. テストベンチの概要と基本構成	(1) テストベンチの概要と重要性		3.0	1.0
	(2) HDL文法の復習			
	(3) テストベンチ記述に有効なHDL構文（その1）			
	(4) シミュレータの基本的な使い方			
	(5) 基本的なテストベンチ作成方法			
	(6) テストベンチを通した実機へのインプリメント			
2. テストベンチの考え方と作成技法	(1) テストベンチ記述に有効なHDL構文（その2）		3.0	1.0
	(2) テスト項目の洗い出し			
	(3) テストベンチ作成方法			
	(4) テストベンチ作成方法とシミュレーション			
3. 総合実習	(1) テストベンチ作成実習		11.0	9.0
	(2) テストモードの埋め込み方			
	(3) 動作確認とテストベンチによる検証			
4. まとめ	(1) 実習の全体的な講評及び確認・評価		1.0	1.0
	(2) 次ステップのためのバス・モデリング手法			
			訓練時間合計	18.0
使用器具等	評価ボード、論理シミュレータ、論理合成ツール、配置配線ツール、その他			
養成する能力	生産性の向上を実現できる能力			