

報 文

A/D変換解析用ディスクリート回路
の開発とその利用法

川内職業訓練短期大学校 楠原良人

Development of Discrete Circuit for Analysis of
A/D Converter and It's Application

Yoshito Kusuhara

要 約 本報文は、特定LSIであるA/D変換回路について、ディスクリート回路の設計法の提案とその利用法について述べたものである。

A/D変換回路は、その需要から重要な電子回路の一要素であると考えられるが、回路方式の多様化とLSI化の進行に伴ってブラックボックス化され、一般ユーザーにとって内部等価回路及び回路機能の解析が難しいものとなっている。また、各A/D変換方式の能動・受動部品による回路設計法の提案が少ないため、電子回路技術教育において、設計手順の提示が難しいのが現状である。本報では、A/D変換方式のブロックダイアグラムに基づき、二重積分方式とカウンタ・ランプ方式について、デジタルICとオペアンプICを基盤とした設計法を提案し、回路の開発を行うとともに評価実験を行っている。そして、設計仕様と実験結果との比較を行うことにより、回路定数の設定、素子の選定ならびに回路構成が有効であることを確認している。更に、その開発回路を教育訓練の場において、波形解析を中心としたA/D変換解析用として用いることにより、電子回路教育の中で、回路解析に関する技術教育と、回路設計に関する技能教育に対して有効利用が図られることを示唆している。

I まえがき

近年ME (Micro Electronics) 技術の発展は著しく、中でもマイクロコンピュータを中心としたデジタル電子回路の高密度化は加速度的に進行している。従来、個別部品で構成して用いられていた各種の回路がIC化、あるいは、LSI化されて使用されるようになってきており、回路自体がブラックボックス化されていく傾向にある。A/D変換IC、D/A変換IC、PLL-IC、電源回路IC、発振回路ICなど、数多くのアナログ電子回路がLSI化されており、ブラックボックス化された電子回路の動作が理解しにくくなっている。また、回路機能の多様化により、アナログ回路、デジタル回路、パルス回路等が渾然一体化してLSI化されるため、学ぶべき内容が広範囲にわたり、個別回路ごとの学習では対応できない状態にある。

このような状況下において、電子回路に関する教育訓

練も、回路の機能解析を中心とした技術教育と回路の設計技量に重点をおいた技能訓練が要求されるようになってきている。LSI化の進む回路に関して、機能解析の可能な、かつ設計手法の確立されたディスクリート回路の開発が必要となっている。本稿では、アナログ部とデジタル部の混成された特殊LSI回路であるA/D変換回路について、ディスクリート回路の設計手法を確立したので報告するとともに、その教育訓練への導入方法について述べる。

II A/D変換回路の教育訓練を行う際の問題点

デジタルコンピュータを用いて、アナログデータの処理や計算を行うには、アナログ量をデジタル量に変換して信号処理する必要がある。実用機器では、センサーから入力されたアナログ量をA/D変換によってデジタルコード化し、S/N比の高い状態にして、D/A変換後、再生・利用することが頻繁に行われている。しかしながら、A/D変換回路が幅広く用いられているにもかかわらず、素子の統一化はほとんどなされていないのが現

表 1 A/D変換の諸方式

分類	主たる変換方式	主な利用分野	変換速度
低速用	積分方式 ・デュアル・スロープ型 (二重積分型) ・チャージバランス型 (電荷平衡型)	ディジタルマルチメータ ディジタル温度計 ディジタル秤	数ms～数百ms
中速用	帰還比較方式 ・逐次比較型 ・追従比較型 カウンタ・ランプ型	数値制御 プロセス制御 PCM通信制御	数μs～数百μs
高速用	無帰還比較方式 ・並列比較型 ・直列比較型	波形記憶装置 ビデオ情報装置	数ns～数百ns

状である。表1にA/D変換の諸方式を示す。(1)同表は、従来から用いられてきた代表的な方式を示しているが、現在では更に高機能化しており、多くのA/D変換IC製造メーカーが、各社独自にパラメータの規格化を行っているのが現状である。これらの問題点は、用語や誤差等の定義の多様化と相まって、複雑化の一途をたどっており、A/D変換ICの全貌を理解することが困難になりつつある。このことから、回路設計技術者は、A/D変換ICを用いた電子制御回路等を設計する際、変換方式の特徴を十分に理解し、データシートや試験条件等を見極める能力を有している必要性が高まっている。

職業訓練短期大学校で育成する実践技術者は、単に生産現場に対応できるだけの技術者でなく、工学分野の基礎的な専門知識と実践的な技術・技能を持ち、最先端の技術を学びながら新技術の開発能力を有する、中堅技術・技能者であることを目標としている。また、その教育訓練方針として、科学的・技術的知識を学ぶ上で、実学融合教育を展開し、実験・実習によって、知識・技術・技能を有機的に学べる教育訓練システムをとることを目標としている。職業訓練短期大学校において、これらの目標を基に、電子回路技術教育を展開するとき、A/D変換回路を例にとってみれば、先に述べた問題点の解決には充分対応できる学生を育成することが重要である。このような意味において、LSI回路であるA/D変換回路に関して、その動作機能を理解させることのできるA/D変換解析用ディスクリート回路の開発が必要となってくる。

III A/D変換解析用ディスクリート回路の開発とその評価

ME技術の進展に伴う、電子回路の技術教育に関する問題点は、I及びIIの項で述べたが、これらの問題点を解決すべく、いくつかの教材開発の報告がなされている。(2)(3)(4)ここでは、A/D変換回路におけるデュアル・スロープ型とカウンタ・ランプ型を例に、開発した回路に

ついて、その設計手法の提示と試作回路の評価結果について述べる。

1. デュアル・スロープ型A/D変換回路の設計と回路構成(5)

(TTLとBi-FET型オペアンプによる設計)
設計開発したデュアル・スロープ型A/D変換回路のブロックダイアグラムとタイミングチャートを図1に示

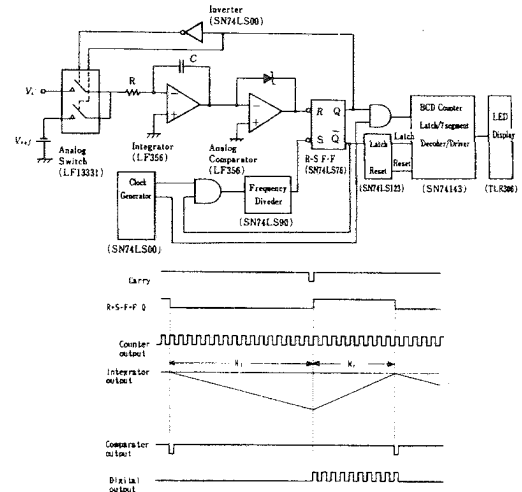


図1 デュアルスロープ型のブロック図とタイミングチャート

す。この回路は、演算増幅器による積分回路を中枢部として、基準電圧発生回路、アナログスイッチ、アナログコンパレータ等のアナログ回路部と、クロックジェネレータ、分周回路、フリップ・フロップ、ラッチ・リセット回路、BCDカウンタ・デコード回路等からなるディジタル回路部に分けられる。

変換原理は以下のようなになる。積分回路の積分抵抗をR_i、積分コンデンサをC_i、被変換アナログ入力電圧V_aを積分している区間のクロック数をN_i、クロック周期をTとする。V_iの積分を終了した時の出力電圧V_{o1}は、

$$V_{o1} = -\frac{1}{C_i R_i} \int_0^{N_i T} V_a dt$$

$$= -\frac{V_i}{C_i R_i} \cdot N_i \cdot T \tag{1}$$

となる。次に基準電圧-V_{ref}で積分している区間のクロック数をN_rとすると、このときの出力電圧V_{or}は、

$$V_{or} = V_{o1} - \frac{1}{C_i R_i} \int_0^{N_r T} (-V_{ref}) dt \tag{2}$$

$$= -\frac{1}{C_i R_i} (V_i N_i T - V_{ref} N_r T)$$

となる。変換の1サイクルは、アナログコンパレータの比較電圧 $V_{comp} = 0$ 、すなわち(2)式において $V_{or} = 0$ のとき完了するので、最終的に(3)式が得られる。

$$N_r = \frac{V_i}{V_{ref}} \cdot N_i \quad (3)$$

つまり、 N_i をあらかじめ V_{ref} で補正しておくことで、基準電圧の積分区間に出力されるパルス数 N_r が、入力アナログ電圧に比例してデジタル値に変換されることになる。設計回路の基本仕様を表2に示す。主要回路部の設計概要を以下に述べる。

表2 デュアル・スロープADCの回路仕様

項目	設計仕様
使用素子	TTL及びBi-FETオペアンプ
電源電圧	+5Vおよび±15V
積分時間	50ms
基準電圧	-10±0.5V
被変換アナログ入力電圧	0～+10V
A/D変換分解能	0.001V/CLK

1.1 アナログ回路部の設計

積分回路の入力電圧を V_i 、積分抵抗を R 、積分コンデンサを C 、積分時間を t 、積分出力電圧を V_o とすると、 V_o は、

$$V_o = -\frac{1}{CR} \int_0^t V_i dt = -\frac{V_i}{CR} \cdot t \quad (4)$$

と表されるので、 C を $C = 0.1 [\mu F]$ とすると、仕様から $V_i = 10 [V]$ 、 $V_o = -10 [V]$ 、 $t = 50 [ms]$ であるので、これらを(4)式に代入することで $R = 500 [k\Omega]$ が得られる。 R の実装は、 $470 [k\Omega]$ の固定抵抗と、 $50 [k\Omega]$ の可変抵抗で満足させる。次にアナログスイッチについては、オン抵抗 R_{on} が積分回路の積分抵抗 R に比べて、A/D変換回路の精度よりも充分小さい値となるものを選定する。ここでは、 $R_{on} = 150 [\Omega]$ の特性をもつ LF133 を使用すると、 R_{on} と R との比 β は、

$$\beta = \frac{R_{on}}{R} \times 100 = 0.03 \quad [\%] \quad (5)$$

となり、変換に誤差を与えない充分に小さい値と考えら

れる。アナログコンパレータについては、オペアンプ(LF356)の裸利得を用いて比較回路を構成して、ゼロボルトの検出を行わせる。出力がTTLレベル以上にならないようにするために、電圧クランプ用ツェナーダイオード(RD4A)を挿入して回路を構成する。また基準電圧回路は、トランジスタ定電流回路とツェナーダイオードによる高安定化定電圧回路で構成しているが、設計手法については、紙面の都合上割愛する。

1.2 デジタル回路部の設計

デュアル・スロープ型の場合、クロック周波数の安定性は長時間にわたって要求されないので、クロックジェネレータ回路は、TTL(74LS04)による非安定マルチバイプレータを用いる。この回路の発振動周波数 f_D は、(6)式で近似される。⁽⁶⁾

$$f_D = 250 \times 10^{-6} / C_D \quad (6)$$

ここに C_D : コンデンサ容量

仕様の変換分解能と積分時間 $T_i = 50 [ms]$ より、 V_i 積分期間中の分周回路のクロック計数値を $N_i = 10^4 [CLK]$ に設定することで、クロック周波数の $f_D = 200 [kHz]$ が算出され、最終的に $C_D = 1250 \approx 1200 [pF]$ が決定される。分周回路は、クロックジェネレータからのクロックパルスにより、積分時間を計数するためのものである。ここでは非同期型BCDカウンタ(74LS90)を1/10分周回路として使用し、4個カスケード接続することで1/10⁴分周回路とし、これのキャリールパルスをフリップ・フロップのセットパルスに利用している。ラッチ・リセット回路は、R-Sフリップ・フロップの出力する変換終了信号を受けてデジタル変換値のラッチを行い、データラッチ後は、次の変換サイクルのためにカウンタのリセットを行うものである。ここでは、図2に示すシ

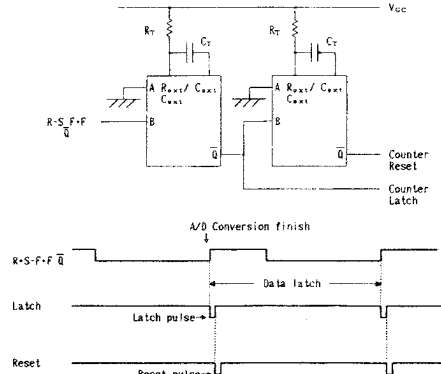


図2 ラッチ・リセットパルス回路とタイミングチャート

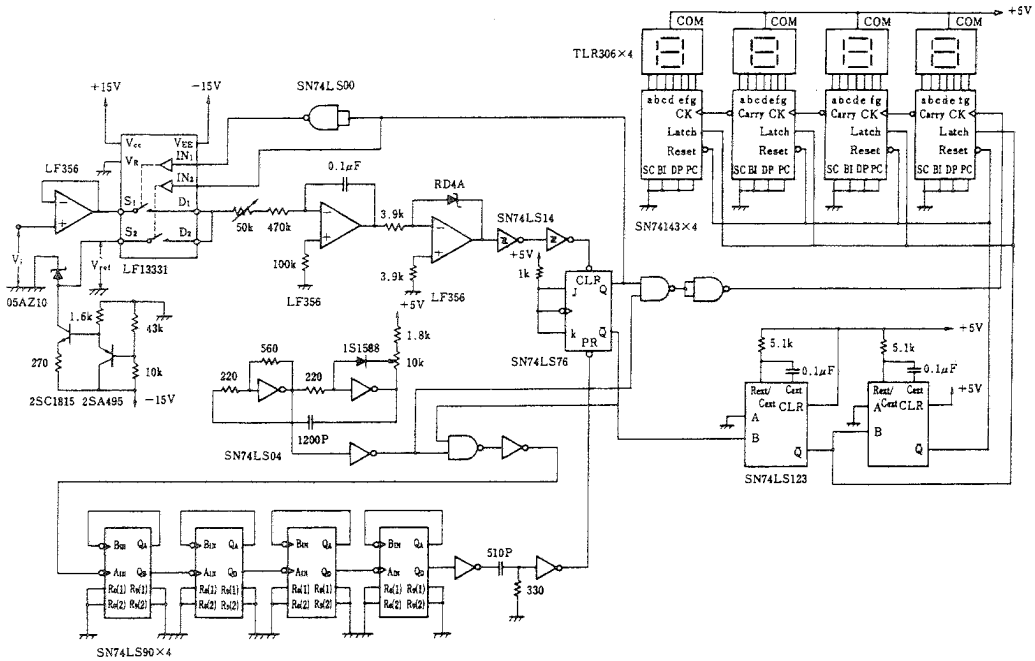


図 3 設計したデュアルスロープ型全回路

ングルショット IC (74LS123) によるディレー回路により構成する。パルス幅は変換に影響を与えないように t_w を $0.1 [ms] \leq t_w \leq 0.3 [ms]$ に設定する。(7) 式⁷⁾ から $C_T = 0.1 [\mu F]$ として計算すると、 $R_T = 5.1 [k\Omega]$ が決定される。

$$t_w = K \cdot R_T \cdot C_T (nS) \times (1 \pm 0.1) \quad (7)$$

ここに、K：定数、 R_T ：外付抵抗値、 C_T ：コンデンサ容量

フリップ・フロップは、デュアル J-K フリップ・フロップ (SN74LS76) を使用し、デジタル変換出力パルス数の計数と表示は、BCDカウンタ・デコーダ・ドライバ (SN74143) を使用している。

1. 3 デュアル・スロープ型の回路評価

設計した回路の全容と変換特性を図 3 及び図 4 に示す。図 4 は被変換アナログ入力電圧 V_i を直流の 0 から +10[V] の範囲で入力し、 V_i をデジタル電圧計で測定するとともに、その間の変換パルス数を表示したものである。同図からオペアンプによるオフセット誤差や利得誤差等が微量みられるものの、連続的かつリニアリティの高い変換特性が得られ、A/D 変換回路として実用的に機能していることが分かる。次に、本回路を教材に資する上で重要な、波形解析に伴うデータとして、 $V_i = 2 [V]$ の時の各部の波形を写真 1 ~ 写真 2 に示す。写真 1 にお

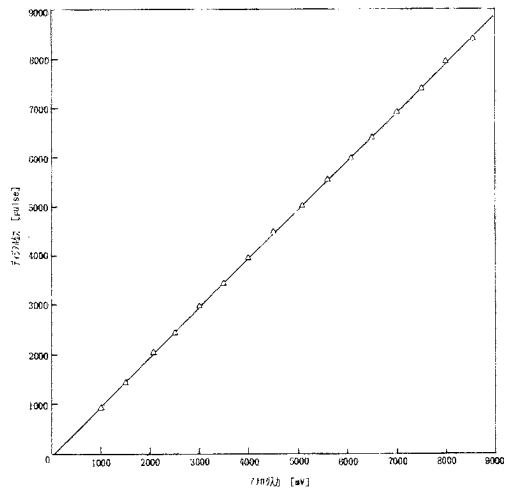
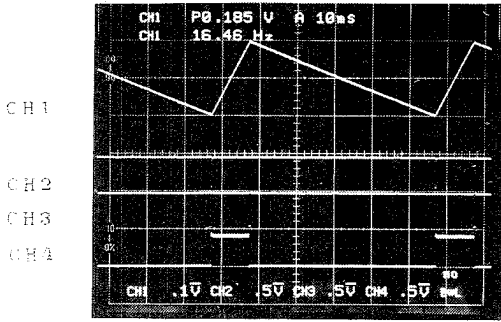


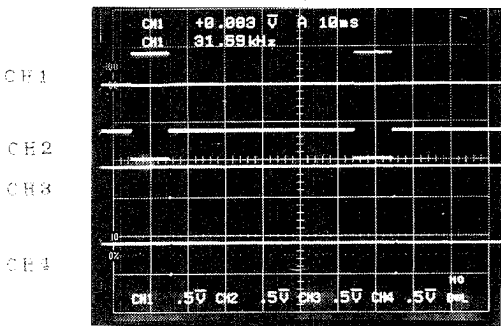
図 4 デュアル・スロープ型の A/D 変換特性

いて、上より CH 1 が積分回路出力、CH 2 が分周回路キャリー出力、CH 3 がアナログコンパレータ (シュミット回路による波形整形) 出力、CH 4 が R-S フリップフロップ Q 出力の各波形である。 V_i の積分 (負方向スロープ) 終了 ($T_i = 50 [ms]$) と同時にキャリーパルスが出力され、これによりフリップフロップ Q 出力がセットされて、 $-V_{ref}$ の積分 (正方向スロープ) が $V_{comp} = 0 [V]$ をクロスした瞬間、アナログコンパレータが反転し、リセットされていることが分かる。写真 2 は、CH 1 がデジタル変換出力パルス (カウンタ CK 入力)、CH 2 がフ



CH 1 : 積分回路出力(1V/DIV)
 CH 2 : キャリー出力(5V/DIV)
 CH 3 : コンパレータ出力(5V/DIV)
 CH 4 : フリップフロップ出力(5V/DIV)

写真 1 デュアル・スロープ型の各波形



CH 1 : データ加算 (5V/DIV)
 CH 2 : フリップフロップ出力(5V/DIV)
 CH 3 : ラッチ加算 (5V/DIV)
 CH 4 : リセット加算 (5V/DIV)

写真 2 デュアル・スロープ型の各波形

リップ・フロップ \bar{Q} 出力、CH 3がラッチパルス出力、CH 4がリセットパルス出力の各波形である。デジタル表示カウンタは、フリップ・フロップ Q 出力がセットされている期間に現れる変換パルス数 ($N_r = 2000$ [pulse]) を計数する。アナログコンパレータが動作すると Q 及び \bar{Q} 出力が反転し、 \bar{Q} 出力の立ち上がりエッジにより、シングルショットがトリガされる。 $t_w = 0.2$ [ms]のラッチパルスの入力により、変換データのラッチとリセットが行われている。これにより本回路が、ほぼ回路仕様と一致した動作をしており、その設計手法が有効であることが確認できる。

2. カウンタ・ランプ型 A/D変換回路の設計と回路構成

(C-MOSとBi-MOS型オペアンプによる設計)

カウンタ・ランプ型A/D変換回路は、追従比較方式に分類され、その中でも基本的な回路である。その構成例を図5に示す⁽⁶⁾。この回路は、帰還ループにデジタルカウ

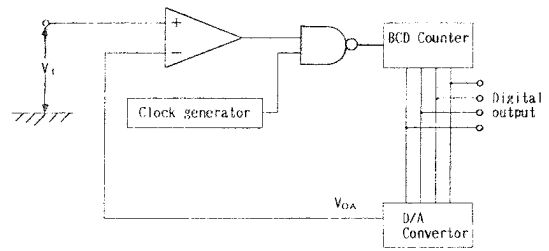


図5 カウンタランプ型の基本構成

ンタとD/Aコンバータを有しており、アナログコンパレータによってカウンタの動作と停止の制御が行われるのが特徴である。その動作原理は、カウンタがNANDゲートからのクロックパルスをカウントし、D/Aコンバータの出力 V_{OA} にカウント数に応じたランプ電圧(アナログ電圧)を出力する。この時アナログコンパレータの出力は、NANDゲートに接続されカウンタの動作を次のように制御する。

$V_i > V_{OA}$ のとき出力“1”となってカウンタを増加
 $V_i \leq V_{OA}$ のとき出力“0”となってカウンタを停止

また変換回路が入力電圧に対して追従するためには、アナログコンパレータのスルーレートを t_{sr} 、D/Aコンバータ出力のビット重み電圧を V_b 、クロックパルスの発振周期を T_c とすると

$$t_{sr} > \frac{V_b}{T_c} \quad (8)$$

を満足しなければならない。

2. 1 カウンタ・ランプ型 A/D変換回路の設計

デュアル・スロープ型ではTTLを用いたが、本回路では抵抗回路網によるR-2Rラダーネットワーク型D/A変換回路を含んでいるため、出力電圧の安定したC-MOSを用いた。回路仕様を表3に示すとともに、設計手順を以下に述べる。

表3 カウンタ・ランプ型の仕様

項目	設計仕様
使用素子	C-MOS 及び Bi-MOSオペアンプ
電源電圧	± 6 V
変換時間	MAX 2 ms
被変換アナログ入力電圧	0 ~ 3 V
A/D変換分解能	36mV/CLK

カウンタに2桁BCDカウンタを用いると、カウンタのクロック数の最大値は99パルスである。最大変換時間(2 [ms])の仕様を満足するためには、1クロックの発振周期 T_M は、 $T_M \leq 20 [\mu s]$ とする必要がある。これよりクロックジェネレータの発振周波数 f_M は、 $f_M = 50 [kHz]$ が最適値として設定される。

クロック周波数は変換時間を決定するが、精度には影響しないので、図6に示すC-MOS (TC4011)を

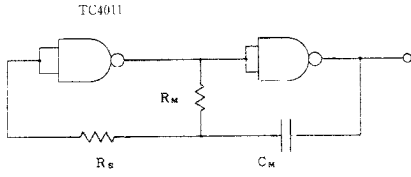


図6 C-MOS非安定マルチバイブレータ

用いた非安定マルチバイブレータで充分である。この回路の発振周期 T_M は、ハイレベル電圧を V_H 、ローレベル電圧を V_L 、スレーシホールド電圧を V_T 、電気的時定数を τ ($\tau = C_M \cdot R_M$) とすると

$$V_T = (V_H + V_L) / 2$$

$$T_M = 2\tau \ln \frac{2V_H - V_T - V_L}{V_H - V_T}$$

が成立する⁽⁹⁾ので、最終的に

$$T_M = 2\tau \ln 3 \approx 2.2\tau$$

となる。(9)式から $C_M = 300 [pF]$ とすると $R_M = 30 [k\Omega]$ が計算できるので、 $27 [k\Omega]$ の固定抵抗と $5 [k\Omega]$ の可変抵抗で調整する。D/A変換回路は、構成の簡単なR-2Rラダーネットワーク型電圧加算方式を用いる。C-MOSカウンタの出力インピーダンスは通常数 10Ω と考えられるので、精度を考慮し、ラダー抵抗 $R_D = 100 [k\Omega] \pm 1 [%]$ の高精度高抵抗を使用する。この時のD/A変換出力電圧 V_{OA} は、

$$V_{OA} = \frac{5V_{DD}}{11} (2^0 Q_D + 2^{-1} Q_C + 2^{-2} Q_B + 2^{-3} Q_A) + \frac{5V_{DD}}{110} (2^0 Q_D + 2^{-1} Q_C + 2^{-2} Q_B + 2^{-3} Q_A)$$

ここで V_{DD} : 電源電圧、 $Q_D \sim Q_A$: 0 または 1

で示される⁽¹⁰⁾。次にカウンタラッチ及びリセット回路は、図7に示すC-MOSシングルショットIC (MC14

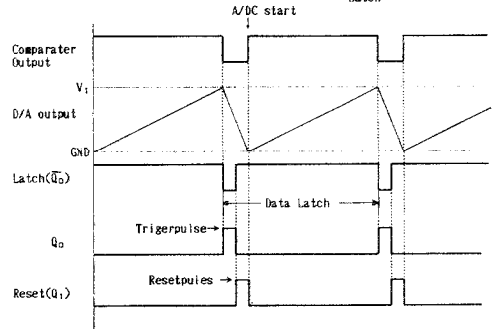
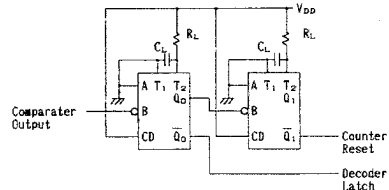


図7 ラッチ・リセット回路の設計タイミングチャート

538)を用いて構成する。同図の設計タイミングチャートに示すようにアナログコンパレータの出力が“1”の期間はA/D変換中であり、D/A変換出力と V_i が一致するとコンパレータの出力は“0”へ反転する。この反転パルスを受けてデコーダが変換値をラッチし、次にカウンタがリセットされるよう設計する。この回路のパルス幅 t_L は、

$$t_L = C_L \times R_L \tag{11}$$

ここで C_L : 外付コンデンサ容量

R_L : 外付抵抗 ($R_L \geq 5 [k\Omega]$)

で表わされる⁽¹¹⁾。変換時間に影響を与えないようにパルス幅 t_L を $10 [\mu s] \leq t_L \leq 20 [\mu s]$ とすると、 $C_L = 1000 [pF]$ 、 $R_L = 5.6 [k\Omega]$ が算出される。なお、アナログコンパレータとバッファ回路にはCA3160を、BCDカウンタとデコーダ回路にはC-MOS4500シリーズのMC14510とMC14511を用いている。最終的な設計回路を図8に示す。

2.2 カウンタ・ランプ型の回路評価

設計したカウンタ・ランプ型の評価データを図9に示す。アナログ入力電圧に対して出力されたパルス数をプロットしたものである。入出力の関係は比例的に変化しており、直線性の良いA/D変換が行われていることが確認できる。オペアンプはアナログコンパレータ及びバッファ回路に用いている程度であるため、オフセット

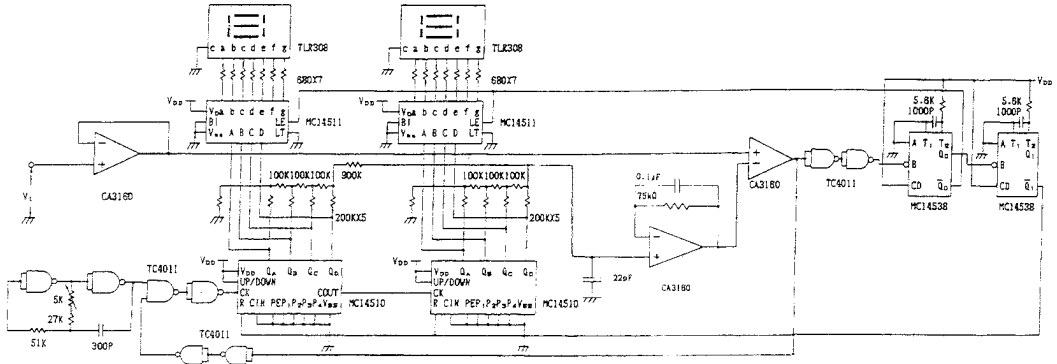


図8 設計したカウンタ・ランプ型全回路

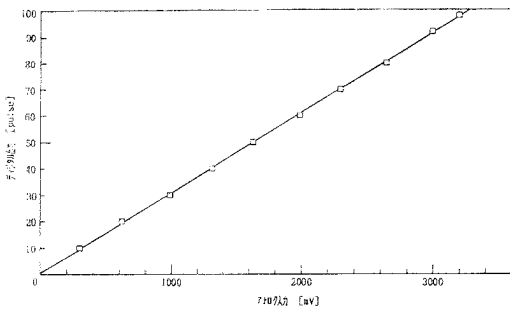
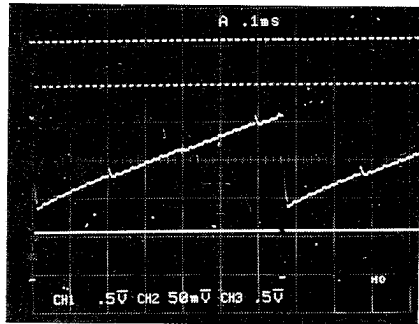


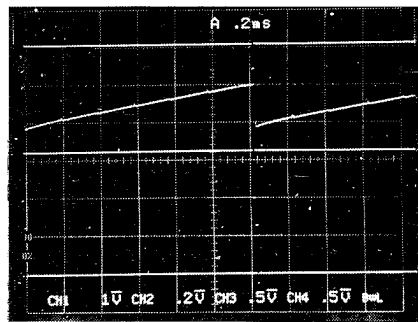
図9 カウンタ・ランプ型のA/D変換特性

電圧等も現れていない。写真3に各部の波形を示す。CH1がクロックパルス波形、CH2がD/A変換出力波形、CH3がアナログコンパレータ出力波形である。入力電圧 V_i は各波形の関連が把握しやすい1[V]付近($V_i = 1.035$ [V])とした。クロックパルスの増加とともにD/A変換されたアナログ電圧が順次上昇し、比較電圧($V_{COMP} = 1.035$ [V])のレベルに達すると、アナログコンパレータ出力が反転し、カウンタがクリアされ再変換を開始していることが示されている。写真4は V_i をラッチ・リセット回路の各波形の把握しやすい2[V]付近($V_i = 2.004$ [V])に設定したものである。CH1がアナログコンパレータ出力波形、CH2がD/A変換出力波形、CH3がラッチパルス出力波形、CH4がリセットパルス波形である。カウンタのリセットとともにランプ電圧が上昇し $V_{COMP} = 2.004$ [V]になると、アナログコンパレータ回路が動作して、1サイクルのA/D変換を終了している。ラッチパルス($t_L = 20$ [μ s])により、変換値のラッチが行われ、カウンタのリセットの過程を繰り返している。写真4の結果から、本回路が図7の設計タイミングチャートと一致した動作をしていることが明らかである。



CH1 : クロックパルス(5V/DIV)
CH2 : D/A変換出力(0.5V/DIV)
CH3 : コンパレ-出力(5V/DIV)

写真3 カウンタ・ランプ型の各波形



CH1 : コンパレ-出力(10V/DIV)
CH2 : D/A変換出力 (2V/DIV)
CH3 : ラッチパルス(5V/DIV)
CH4 : リセットパルス(5V/DIV)

写真4 カウンタ・ランプ型の各波形

III 設計した A/D 変換回路の教育訓練への利用法

設計した A/D 変換回路の教育訓練への利用法について検討・考察を加えてみることにする。

電子回路の解析には、理論解析、現象解析、波形解析、特性解析等が考えられる。これらの解析法を電子回路教育に取り入れて授業を行う場合の特質について考察してみる。理論解析は技術者には基本的でかつ重要な方法であるが、数式の展開が中心となるため初学者（学生）にとっては十分な理解が得られないことが多々ある。現象解析は回路図を中心に信号の流れや信号の量で動作原理主体に行うので、シーケンシャルな動作をする回路は理解し易い。波形解析は実際の波形を基に、回路の動作状態を信号の形として追いかけることができるので、抽象的でなく具体的な理解が得られ易い。特性解析は諸条件に対する応答の状況を特定の範囲に限って推考していくため抽象論となりやすい。また、設計では重要な要素であるが、初学者にとってはなじみにくい方法であると考えられる。これらのことを設計した回路について検討してみる。A/D 変換回路はアナログ部やデジタル部が混成して構成されるため、その原理が理解しにくい。したがって、初学者に対して A/D 変換の過程や内部回路の構成と役割、あるいは規格表の用語の意味などを理解させるには、回路図やブロック図による現象解析だけでは不十分なことが多く、各回路部の設計原理や波形解析を行いながら教育することが重要であると言える。アナログ信号がデジタル信号へどのようなプロセスを経て変換されていくのか、数式的な解析も重要であるが、まず波形の形を知らしめ、理論式との関連を示し、興味を引出しながら教授していくことも技術教育の一手法であると考えられる。

以上のことから、本回路は、実用回路であるとともに、A/D 変換回路における理論解析の中で実際的な設計手法を示しながら、その機能を理解させることで有用であり、それに伴う各部の波形解析を行わせることで有効活用が図られる。また、A/D 変換 LSI を応用した回路の設計例は数多く示されているが、内部等価ブロック図を基に設計手法の明らかにされた個別部品での設計例が少ないのも現実である。本回路の利用法を電子回路の各分野ごとにまとめてみると、表 4 のようになる。アナログ回路、デジタル回路、パルス回路とも部分的ではあるがデジタル IC やオペアンプ IC の各種の個別回路を包含しており、各ブロックごとにその回路特性や素子の使用法及び波形解析等を学習することも可能である。

表 4 A/D 変換回路における個別回路の分野

設計回路	アナログ回路	デジタル回路	パルス回路	仕様素子
デュアル・スロープ型 (積分方式)	・アナログスイッチ回路 ・基準電圧回路 ・バッファ回路 ・アナログコンパレータ回路	・デコーダ・ラッチ回路 ・分周回路 ・シフトレジスタ回路 ・フリップフロップ回路 ・BCDラッチ回路	・マルチバイポーラ回路 (TTL) ・積分回路 ・微分回路	TTL 及び Bi FET オペアンプ
カウンタ・ランプ型 (比較方式)	・バッファ回路 ・アナログコンパレータ回路	・BCDカウンタ回路 ・デコーダ回路 ・シフトレジスタ回路	・D/Aコンバータ回路 ・マルチバイポーラ回路 (C-MOS)	C MOS 及び Bi MOS オペアンプ

IV むすび

ディスクリート回路による A/D 変換回路の設計法をデュアル・スロープ型とカウンタ・ランプ型の 2 方式について示し、それによって算出された回路定数の信憑性を、実験で得られたデータと波形解析によって明らかにした。さらに、その試作回路の教育訓練への利用法について検討・考察を加え、電子回路教育への導入の有用性を述べてきた。電子回路教育ひいては技術教育全般に言えることではあるが、初学者にとって実学融合教育、すなわち学科における理論解析と、実験・実習における波形解析について設計手順を提示しながら教育することが、より実践的でかつ有益な方法であると考えられる。このような意味において、本設計回路は A/D 変換 LSI の機能解析用ディスクリート回路として用いることで利用価値のあるものと言える。今後の課題は本試作回路の改良とともにモジュール化することである。現在、積分方式の電荷平衡型、比較方式の無帰還並列比較型及び逐次比較型の A/D 変換回路について回路設計と評価実験を行っており、これらをモジュール化することによって、A/D 変換における電子回路教育の体系化が図れるものと考えられる。

参考文献

- (1) 米山寿一：A/D コンバータ入門、オーム社、昭和60年7月
- (2) 滝本貢、平野昭男、谷口忠勝：電子機器実習を核とした電子系基礎教育訓練の実践、富山職業訓練短期大学校紀要、昭和63年3月
- (3) 平野昭男：パルスデジタル機能電子回路実験教材の開発、第15回職業能力開発研究発表会予稿集、昭和63年7月
- (4) 平野昭男、滝本貢、谷口忠勝：パルスデジタル機能電子回路実験教材の開発、富山職業訓練短期大学校紀要、平成元年3月

- (5) 楠原良人：オペアンプとTTLを用いたデュアルスロープ型A/Dコンバータの開発、技能と技術、平成元年第3号
- (6) 久賀八洲男：デジタルIC基本演習、産報出版、昭和57年7月
- (7) Texas Instruments Inc. : The Bipolar Digital Integrated Circuits Data Book, 1986年
- (8) Darold Wobschall著、加藤康雄訳：電子機器の回路設計、McGraw-Hill、昭和60年6月
- (9) 安藤和昭：パルスデジタル回路、昭晃堂、昭和62年3月
- (10) 白土義夫：デジタルICの基礎、東京電機大学出版局、昭和58年11月
- (11) 東芝半導体応用技術部：C²MOS個別規格、東芝㈱、昭和60年4月