

研究ノート

# 静電気放電によるCMOS ICの破壊

福山職業訓練短期大学校電子科 市田 憲治・境田 益知

Failure Level of CMOS IC due to Electrostatic Discharge

Kenji Ichida・Masutomo Sakaida

**要 約** CMOS ICの入力端子について、静電気放電、単一高電圧パルスによる破壊の実験を行った。4社の製品4050を使用し、静電気放電に対する実力調査、破壊箇所の確認を行った。破壊は、保護ダイオードの接合破壊であった。接合破壊の過程を調べるために、電圧値、パルス幅をパラメータとして、単一高電圧パルスを接合に印加した状態の電圧波形を観測し、その後リーク電流の測定を行った。接合破壊は、降伏状態が短時間（10nsオーダ以下）持続した後、次の状態（結晶の熔融状態と思われる）に移る場合に起こり、降伏状態が100ns程度以上持続した後に次の状態（結晶の熔融状態と思われる）に移る場合は、接合の回復性が認められた。破壊電圧はパルス幅に依存する領域があり、パルス幅が長くなると破壊電圧が低下し、パルス幅依存性が無くなった。静電気放電による破壊強度差が最も大きい2社のサンプル比較から、接合破壊の強度は、降伏状態の抵抗が小さく、降伏電流が大きい保護ダイオードが強いとの結果を得た。

## I はじめに

ICの静電気放電（Electrostatic Discharge）に対する保護は、ICの微細化、多用化により益々重要となっている。静電気放電保護回路は、種々改良されているが、基本的にはダイオードの順方向電流、または降伏電流を利用したものである。

図1（a）の保護回路は、通常の入力端子に使用されるものである。しかし、最近のICは小型、多機能化により、入力端子をテスト用端子と兼用するものが多い。兼用端子は、図1（b）の保護回路が使用され、この回路により通常の入力信号（5V程度）と、テスト信号（7V程度以上）の兼用が可能となる。

図1（a）の場合は、正・負の静電気に対して何れも順方向の電流が流れるため、静電気放電保護能力が高いが、兼用端子の場合、即ち図1（b）の場合は、正の静電気に対してD2の降伏電流のみ流れるため、保護能力が低下する。

そこで図1（b）の保護回路について、より保護能力の高いものを求め、各社の実力調査、破壊のメカニズムを明確にするための実験を行った。

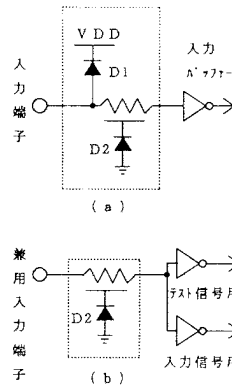


図1 入力保護回路

## II 静電気放電による破壊電圧と破壊箇所

兼用端子用保護回路は、レベルコンバータ用ICに用いられている。今回使用したサンプルは、HEX BUFFER/CONVERTER4050である。サンプルの種類は、国内3社（A、B、C社）製と海外1社（D社）製の4種類である。

1 破壊電圧の実力調査

1-1 装置、実験方法

静電気放電による破壊試験器は、ノイズ研機製のノイズシミュレータ(モデルESS-603)を使用した。ノイズシミュレータの等価回路を図2に示す。

実験方法は、MIL-STD-883C<sup>(1)</sup>に従った。即ち、各端子を基準にして、入力端子に5秒間隔で3回高電圧を印加し、その後5Vに於けるリーク電流を測定した。リーク電流の下限値は、10nAとした。印加電圧は、リーク電流がmAオーダに達するまで増加させた。印加電圧の増加の割合は、A、B、C社のサンプルに対しては200Vステップで、D社のサンプルに対しては100Vステップである。各条件で使用したサンプル数は、各社とも1条件につき5個である。

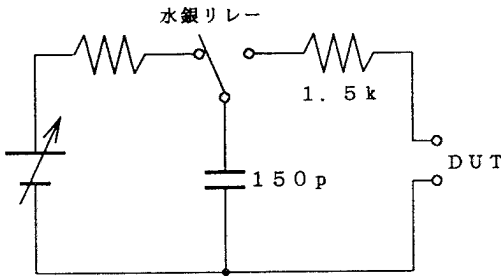


図2 ノイズシミュレータの等価回路

1-2 結果

各端子を基準にして負の電圧を印加した場合は、4社のサンプルとも-3,000Vまで10nA以下のリーク電流であった。この条件では、図1(b)のダイオードD2が順方向となるため、消費電力の局所化がなく熱的破壊が起こらないと考えられる。

正の電圧を印加した結果を図3に示す。破壊電圧は、リーク電流が1 $\mu$ A以上となった印加電圧とした。

MIL-STD-883Cによる静電気破壊強度区分に当てはめると、A社の実力はclass 2 (2,000~3,999V)、B、C、D社の実力はclass 1 (0~1,999V) となり、製造メーカー間の実力差が非常に大きいことが分かる。

今回使用したノイズシミュレータは、最高出力電圧が3,400Vであったため、3,500V以上のプロットは3,400Vまで破壊しなかったことを表している。

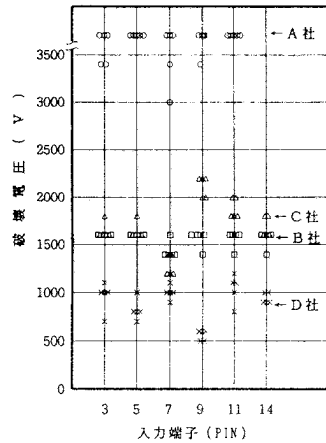
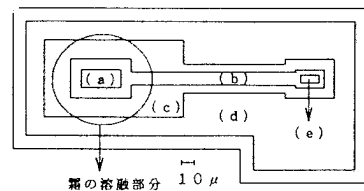


図3 各社の破壊電圧  
基準PIN; GND PIN

2 破壊箇所

破壊箇所の確認は、モールドの開封後、ICチップ表面に霜を付け、入力端子とGND端子間に電圧を印加し、破壊箇所が生じるジュール熱で霜が融けていく過程を、金属顕微鏡を通してVTRで録画して行った。

破壊箇所は図4に示す様に、保護ダイオードの入力コンタクト孔近傍の接合部であり、4社のサンプル共同箇所であった。接合破壊の箇所は局所的と考えられるが、この方法では、局所的な破壊箇所の確定はできなかった。



(a) 入力コンタクト孔 (b) 保護抵抗 (n形層)  
(c) pウエル (d) p形層  
(e) 出力コンタクト孔 サンプル: A社

図4 保護ダイオードの破壊箇所(配線層は省略)

III 接合の破壊過程

充電容量の電荷放電による方法は、実際の静電気放電のモデルとしては良いが、破壊の解析には適さない。従って、単一高電圧パルス発生器を使用して接合の破壊過程を調べるための実験を行った。サンプルは、静電気放電による破壊電圧の実力調査の結果から、class 2のA社とclass 1のD社のものを使用した。

1 装置、実験方法

実験は図5の回路で行った。図5の単一高電圧パルス発生器は、ノイズ研(株)の高周波ノイズシミュレータ(モデルNS-810A)を改良して使用した。等価回路を図6に示す。単一高電圧パルスは、立ち上がり時間が1ns以下である。パルス幅は、 $t_w = 6.67L/K$  (L; 同軸ケーブルの長さ、K; ケーブル短縮率)の関係で決まるため、同軸ケーブルの長さを変えることにより100、200、300、400、1200 nsの各パルス幅を発生させる5本の同軸ケーブルを作成した。ストレージオシロは最大周波数100MHzのものを使用し、オシロに蓄積された波形信号をX-Yレコーダで記録した。図5の抵抗200Ωは、観測した波形から電流値を計算するための電流センス抵抗である。

測定方法は、図5に於いて、サンプルの測定端子とGND端子間に単一高電圧パルスを印加し、その時の測定端子の電圧波形を記録した後、5V印加の条件でリーク電流を測定した。単一高電圧パルスは、1条件1パルスの印加を行い、10Vステップで上昇させ、リーク電流がmAオーダになるまで繰り返した。単一高電圧パルスのパルス幅は、5本の同軸ケーブルを用いて変化させた。

破壊電圧は、リーク電流が1 $\mu$ A以上となった単一高電圧パルスの電圧値とした。

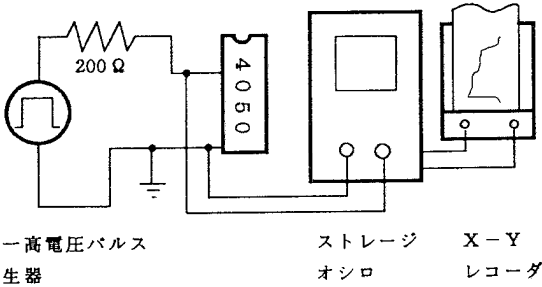


図5 接合の波形観測回路

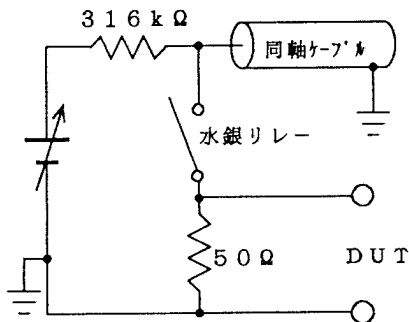


図6 高周波ノイズシミュレータの等価回路

2 結果

破壊電圧とパルス幅の関係を図7に示す。図7より、破壊電圧はパルス幅が長くなると低下し、パルス幅依存性が無くなることが分かる。図7は11PINに対する結果であるが、他の測定端子についても同様の傾向を示した。

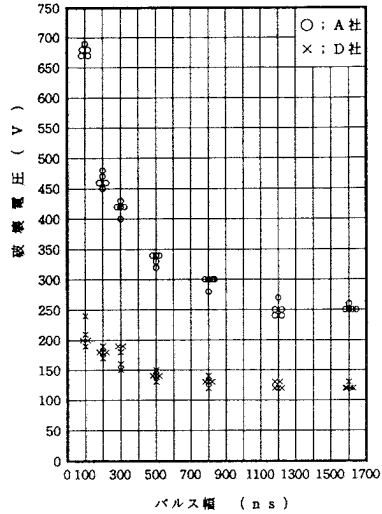


図7 破壊電圧のパルス幅依存性  
測定端子; 11PIN

接合破壊電圧近くの波形例を図8に示す。降伏状態は時間t1だけ持続し、時間t2の領域は、接合破壊の急激な進行後の状態 (mAオーダのリーク電流を示す。)と同等であった。図8に示す様な波形の場合では、リーク電流はnAオーダであった。また図8に示す波形を観測した後、接合の破壊電圧より充分低い単一高電圧パルスを印加すると、降伏状態 (t1の領域)のみとなった。これらのことから、接合の破壊電圧近くでは、降伏状態に続いて、一度破壊後の状態と同等になるが、再び接合が回復するものと考えられる。

図9に、接合の降伏状態から接合破壊に至る波形例を示す。図9に於いて、t1が測定不能となる波形 (c、d) の場合は、接合のリーク電流がmAオーダとなっている。波形 (b) は、t1の測定は可能であるが、再測定すると波形 (c) と同様となる。従って、波形 (b) の場合は、短時間の降伏状態により接合が破壊され、再測定時は降伏状態を示さないものと考えられる。

図9は、パルス幅が1600nsの条件であるが、他のパルス幅に於いても破壊電圧近くの電圧では、同様の傾向を示した。パルス幅が100nsの条件の波形例を図10に示す。

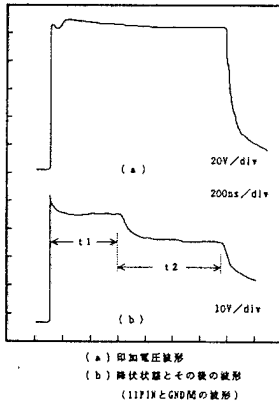


図8 接合の降伏状態の波形

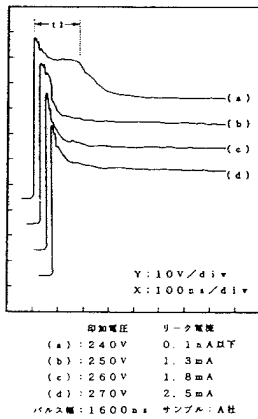


図9 接合の降伏状態から破壊に至る波形

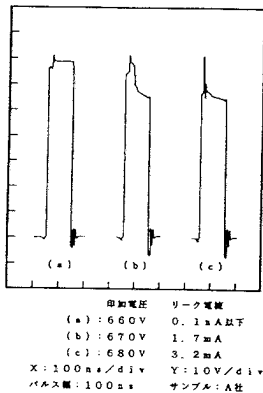


図10 接合の降伏状態から破壊に至る波形

表1は測定端子11PINに対し、パルス幅が1600nsの条件下で、破壊電圧より10V低い時の降伏状態の電気諸量を、A、D社のサンプル5個について比較したものである。この結果から、破壊強度は降伏状態の抵抗が小さく、降伏電流が大きい保護ダイオードが強いと言える。又、降伏状態に於ける消費電力は、降伏が局所的とすると、単位面積当たりの電力はかなり大きくなり、シリコン結晶の熔融状態<sup>(2)</sup>も考えられる。シリコン結晶が熔融状態になると、電気抵抗率が常温の1/30に減少することが報告されている。<sup>(3)</sup>

表1 降伏状態の電気諸量

	印加電圧(V)	降伏電圧(V)	降伏電流(A)	降伏抵抗(Ω)	電力(W)
A社	240~ 250	51.1~ 52.6	0.95~ 0.99	50.6~ 53.1	48.5~ 52.1
D社	110~ 120	60.2~ 62.1	0.25~ 0.29	214~ 241	15.1~ 18.0

以上の結果から次の様に考えられる。接合破壊電圧近くの電圧では、降伏状態のジュール熱で接合部の一部の結晶が熔融状態になり、接合部の抵抗が減少し、いわゆる接合が無い状態と等価になるものと考えられる。従って、降伏状態に続いて起こる状態(t2の領域)は、接合が破壊した後の電圧波形と同等になるものと考えられる。

波形観測の結果から、接合破壊は、降伏状態が短時間(10nsオーダ以下)の内に結晶の熔融状態に移る場合に起こるものと考えられる。この条件は、印加電圧を高くすることにより満たされる。印加電圧を高めることは、降伏状態の電流を増やし、降伏状態のジュール熱を増加させることになる。従って、降伏状態のジュール熱が、急激に結晶を熔融させるほどの熱量の場合は接合破壊に至り、降伏状態が100ns程度以上持続した後に結晶が熔融する程度の熱量の場合は、接合が回復するものと考えられる。

一方、図7から、破壊電圧がパルス幅に依存する領域では、結晶の熔融状態の持続時間(t2)も接合破壊に影響を与えているものと思われる。

### III まとめ

兼用端子の静電気放電による破壊は、入力保護ダイオードの接合破壊であった。接合の破壊過程は、降伏状態による発熱量に関係し、接合部の結晶を急激に溶融させ得る場合には破壊に至り、100nsオーダ後に結晶が溶融する場合は、接合が回復する。また単一高電圧パルスのパルス幅依存性から、結晶の溶融状態の持続時間も接合破壊に影響を与えるものと思われる。

接合の破壊強度は、降伏状態の抵抗が小さく、降伏電流が大きい保護ダイオードが強いと言える。

今までの実験では、まだ未確認な点が多く、特に破壊電圧のパルス幅依存性の解明には、更に詳細な実験が必要である。

尚、本実験は、当校一期生の卒業研究の一環として行ったものである。実験装置、治具の製作をはじめ各種測定、データ整理は、卒研に負うところが多い。

#### 参考文献

- (1) MIL-STD-883C, Method 3015 : Test method and procedures for micro-electronics, Aug. 1984
- (2) D.C.Wunsch and R.R. Bell :  
"Determination of threshold failure levels of semiconductor diodes and transistor due to pulse voltage" IEEE Trans.Nucl.Sci.,Vol.NS-15, pp.244-259, 1968.
- (3) A. C. English, " Mesoplasmas and second breakdown in silicon junctions"  
Solid State Electronics, vol.6 pp.511-521 ;  
September-October, 1963.