

# 電子デバイス実験用教材開発とその教育訓練への導入に関する研究

北海道職業能力開発短期大学校 橋詰 保・黒木 譲・恩田 邦夫・中村 聡・  
吉野 正樹・飯塚 浩一・西野 元一

Development of Experimental and Design Systems for Electron Devices

Tamotu HASIZUME, Yuzuru KUROKI, Kunio ONDA, Satoru NAKAMURA,  
Masaki YOSHINO, Koichi IIZUKA, Motokazu NISHINO

## 要約

電子技術分野の中で中心的役割を果たす電子デバイスの、原理、設計技術、作製技術を統合的に実験実習するための教材の開発を行った。現代の集積化デバイスの基本と開発の流れを重視し、デバイスをブラックボックス化することなく、効果的に設計分野にフィードバックできるように配慮した。作製技術分野に関しては、集積化プロセスの基本となるフォトリソグラフィを中心として、バイポーラプロセスおよびMOSプロセスを含めた実験システムを開発した。設計分野では、CADを利用したデジタル回路設計用教材を開発した。基本ロジックからPLD (Programmable Logic Device) への応用までをおこなっており、シミュレーション技術の習得に対しても十分考慮した。最後に、電子デバイスの基本原理を理解するためのCAE教材を開発した。視覚情報を効果的に用いて、固体中の電子のふるまいからトランジスタの基本動作までを平易に解説し、自学自習が可能なソフトシステムとしている。

## 1 はじめに

半導体・集積回路技術を中心とした電子技術の目ざましい発展は現代産業への応用のみならず、家庭電化製品あるいはオフィス製品など社会生活のすみずみにまで浸透して、社会生活そのものが根本的に変化しようとしている。わずか1 cm四方の半導体結晶の中に100万個以上のトランジスタを含み、しかも1つのトランジスタとして不良がなく全部品がそろって働く集積回路(IC、LSI)は驚異的な技術革新を生み出し、その波及効果はまさに産業革命以上のものと言われている。また最近では、メモリやマイクロプロセッサなどの汎用デバイスに加えて、ASIC(Application Specific IC: 特定用途集積回路)に代表される固有機能を有するデバイスが普及してきており、電子デバイスのオーダーメイド化がスタートしたといっても過言ではない。この傾向は今後も加速されることは疑いの余地がなく、したがって、電子技術関連の技術者にはもちろ

んのこと他の分野の技術者にも、電子技術の中心的役割を果たす電子デバイスの理解と設計手法も含めた応用力が求められることが予想される。すなわち、電子デバイスをブラックボックスとみなしたままでは、今後のシステム設計等の動向に対応しきれなくなると考えられる。

以上の点を踏まえ本研究開発では、電子デバイスの基本原理を理解するための教材と電子デバイスの設計・作製技術を実習するための教材を開発し、電子回路技術および集積回路技術を含んだ統合的な電子技術分野の教育訓練を、実験・実習あるいは能力開発セミナー等に導入することを目的としている。トランジスタ、IC等の電子デバイスを使用した電子回路実験は一般的であるが、デバイス自体を作製し評価させる実験はほとんど見あたらず<sup>(1)(2)</sup>、しかも設計原理と対応させたシステムの実験・実習は非常に特徴的なものである。

図1に集積化電子デバイス開発の流れを示す。周知のように、現代の集積化電子デバイスは通常の電子回

路を設計するようなカットアンドトライ法では設計できず、電子計算機を利用したシミュレーションやパターンレイアウトを導入している。設計したパターンによりマスク製作を行い、集積回路の製作プロセスに入るのである。したがって、これらの流れとそれぞれのプロセスの特徴を理解することが、電子デバイスを利用する立場からも必要となりつつある。

次節より、電子デバイスの作製技術と設計分野およびCAE分野に関して、その教材開発と導入効果を具体的な事例を示しつつ述べる。

## II 電子デバイス作製技術教材

表1に、電子デバイス実験で対象とした項目をまとめた。電子回路の基本素子であるダイオード、バイポーラトランジスタ、MOSFETの作製とその集積化に重点を置き、あわせて太陽電池、フォトダイオード等の光素子の作製・特性評価の実験も含んでいる。以上のデバイス作製実験は、図2に示すクリーンルームにて行われている。クリーンルーム内の清浄度はclass 10000を標準としており、基板上に回路パターンの転写を行う暗室においては、class 100の高精浄度を実現している。この清浄度によって、最小線幅 $\sim 5\mu\text{m}$ のデバイス作製が可能である。また、種々の機器を限られたスペース内で有効に機能させるために、給気・排気を天井から同時に行うクリーントンネル方式を採用している。クリーンルーム内には図2に示すように、デバイス作製プロセスに不可欠な、精密縮小投影露光装置（マスクアライナー）、スピナ、乾燥機、真空蒸着器、ランプ炉、超純水装置、およびプロセス評価に用いる金属顕微鏡、干渉顕微鏡、自動膜厚測定装置が設置されている。デバイス作製後の電気的・光学的評価は、他の実験室にて実施している。

なお、各項目とも主として卒業研究において基礎データを集約し、それらをまとめて2年次の電子デバイス実験に導入しているものである。また、実験時には3~4人のスタッフに対応し、危険薬品の取扱いは基本的にスタッフがを行い、安全面には十分な注意が払われている。以下、各項目ごとに実験方法、得られた結果について要点をまとめる。

### 1 フォトリソグラフィ

フォトリソグラフィとは、紫外光エネルギーの吸収により化学構造が変化する感光性有機材料（フォトレジスト）の性質を利用して、設計したマスクパターンを半導体基板上に転写する精密加工技術である。図

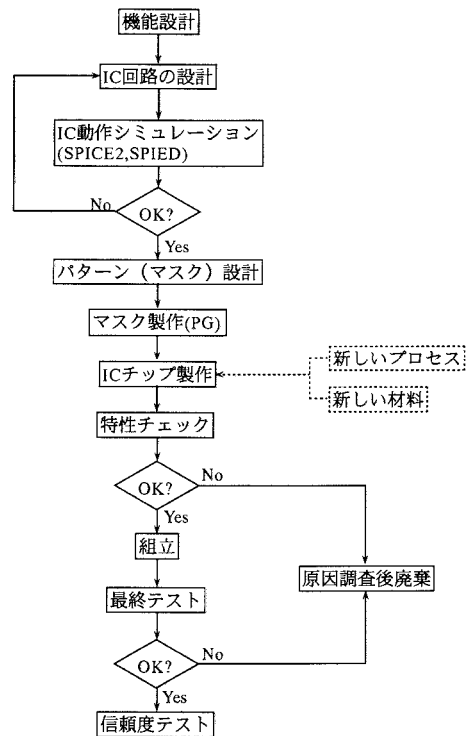


図1 集積化電子デバイス開発の流れ

表1 電子デバイス作製実験の項目

課題内容
1 フォトリソグラフィ
2 拡散法によるpn接合の作製
3 バイポーラ集積化プロセス
4 MOSプロセスとMOSFET
5 MOS集積化デバイス
6 金属-半導体接合
7 ホール効果による半導体特性評価

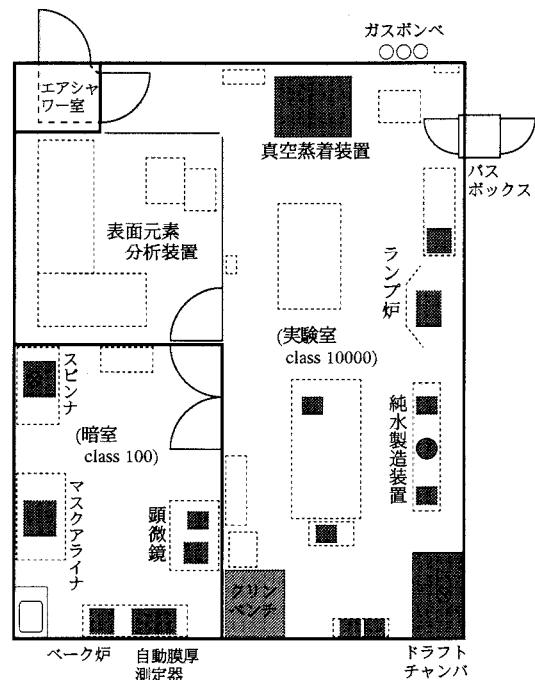


図2 クリーンルーム内の実験設備

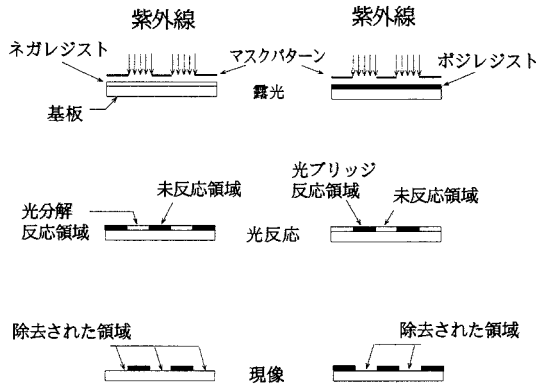


図3 フォトリソグラフィーの原理図

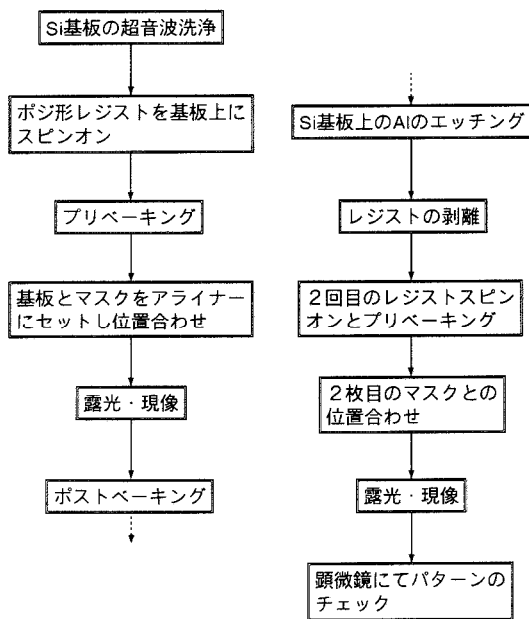


図4 フォトリソグラフィー実験の流れ

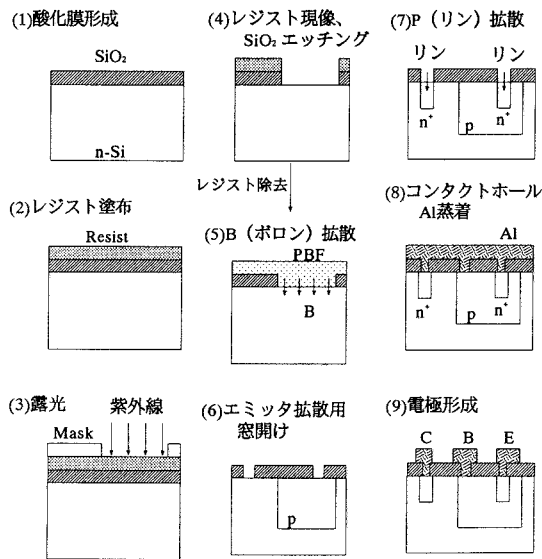


図5 バイポーラプロセス

3にその原理図を示すが、感光した部分が化学変化を起こしてアルカリに可溶性となるポジ形レジストを利用する場合と、感光した部分が硬化して不溶性となるネガ形レジストを利用する場合とがある。ここでは、電極形成の一連のプロセス実験を行った。具体的な実験方法の流れを図4に示す。

本実験で用いる主たる実験装置は、レジストを $\mu\text{m}$ オーダーの厚さで均一に塗布するためのスピナと、マスクと基板との精密な位置合わせとレジストの露光を行うマスクアライメント装置である。フォトリソグラフィーは集積回路技術の基本であり、本プロセスを実際に経験することによって、集積化プロセスの流れ、微細加工の原理・問題点等を把握することができ、電子デバイスの設計面へも効果的なフィードバックがかかることが期待される。

## 2 拡散法によるpn接合ダイオードの作製とバイポーラ集積化プロセス

現代の集積化電子デバイスは『超』のつく進歩を続けているが、基本的にはMOSFET(金属-絶縁体-半導体型電界効果トランジスタ)とpn接合を利用したバイポーラトランジスタを最小単位の素子として構成されていることに変わりはない。本項目ではバイポーラプロセスの理解を目的として、拡散法によるpn接合の作製とバイポーラプロセスによる小規模なTTLインバータの試作と評価を行っている。

図5に基本バイポーラプロセスを示す。パターン形成は前節で述べたフォトリソグラフィーを用いるが、重要な技術は拡散法によるpn接合の形成である。本項目では、固相法によるp形拡散と気相法によるn形拡散の実験を行い、最終的に2重拡散によるバイポーラトランジスタを作製し、特性を評価した。

最初にp形拡散について述べる。拡散源は $\text{B}_2\text{O}_3$ を有機溶剤に溶かした液体状のPBF (Poly Boron Film)を使用した。電子濃度が約 $1 \times 10^{15} \text{cm}^{-3}$ のn形基板上にスピナによってPBFを均一に塗布する。PBFの膜厚は約 $1 \mu\text{m}$ で、均一性は塗布後の膜の干渉色でおおよそ判断可能である。その後、 $1000^\circ\text{C}$ で30分間の熱拡散を行う。拡散中の基板断面の模式図および主たる反応を図6に示す。窒素と酸素の混合ガスを流すことによって、塗布した有機溶媒が $\text{CO}_2$ と $\text{H}_2\text{O}$ に分解して蒸発し、基板には $\text{B}_2\text{O}_3$ を含んだ $\text{SiO}_2$ が残る。これを拡散源としてB(ボロン)がSi中へ拡散し、n形基板表面の一部にp形層が形成される。酸素ガスが存在しない場合には、有機溶媒中の炭素が気相中へ

脱出できず Si 中へ B とともに拡散し、電気的特性を劣化させる要因となる。

拡散後、希フッ酸により  $B_2O_3 + SiO_2$  膜を除去し、基板両面に Al を真空蒸着する。オーム性の電極を得るために低温での熱処理を行い、基板側面の拡散層の除去を目的としたメサエッチングにより pn 接合ダイオードの作製が終了する。

得られた p 領域の表面濃度は  $10^{20} \text{cm}^{-3}$  台の高濃度となった。拡散時間が短いために拡散源は無限とみなせ、このため Si 中での B の限界溶解度に近い表面濃度が得られたと考えられる。また pn 接合の位置は、後述する走査形電子顕微鏡を利用した測定法による結果と理論計算値とがほぼ同一となり、本手法による拡散の制御性が良好であることが証明された。

図 7 には、作製した pn 接合ダイオードの電流-電圧 (I-V) 特性を示す。良好なダイオード特性を示しており、順方向の立ち上がり電圧は約 0.6V、逆方向降伏電圧は約 140V と、基板と拡散層のキャリア濃度から算出した値<sup>3)</sup>と同程度の値が得られている。

n 形拡散は図 8 に示す気相拡散により行った。液体のオキシ塩化リン ( $POCl_3$ ) を窒素ガスによりバブリングすると、 $POCl_3$  分子は窒素ガスに付着して Si 基板上へ導入される。同時に酸素が存在すると、 $POCl_3$  は反応により  $P_2O_5$  と塩素ガスに分解し、Si 基板表面に  $P_2O_5$  を含む酸化膜が形成される。これを拡散源として P が Si 中へ拡散し、n 形層が形成される。拡散源の  $POCl_3$  の供給は、窒素の流量と  $POCl_3$  の温度(蒸気圧)によって精密に制御が可能となる。また、リン(P)はボロン(B)の約 10 倍の拡散係数を有しており、短時間で高濃度の拡散が可能である。リン拡散による np ダイオードの特性も、上述の pn ダイオードと同様の結果が得られた。

最後に、n 形基板に p 層、n 層を順次形成し(2重拡散)、nnp バイポーラトランジスタと簡単な 2 入力 NAND ゲートの試作を行った。図 9 に試作パターン図を示す。単純な pn 接合ダイオードと最も異なる点は、 $NE \gg NB > NC$  (エミッタ、ベース、コレクタ各領域のキャリア濃度) の条件を満たすように各領域の拡散不純物濃度を制御する点である。上述したように、PBF を用いた p 層拡散では  $10^{20} \text{cm}^{-3}$  台の高濃度領域しか達成できず、このままでは p 層中にさらに n 層を形成することは非常に困難である。これを解決するために、高濃度拡散後に PBF を除去し、高濃度拡散層を第 2 の拡散源とする、『ひきのぼし拡散』を行った。これにより、 $10^{18} \text{cm}^{-3}$  台のベース領域が形成され、次の

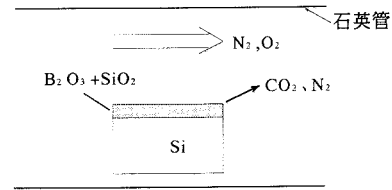


図 6 PBF による拡散の様子

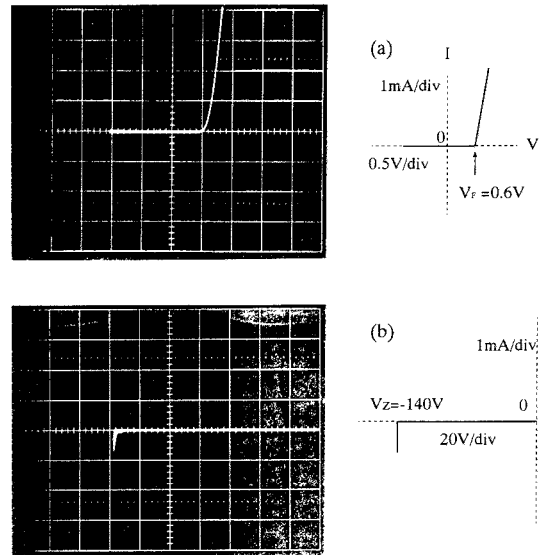


図 7 拡散法により作製した pn 接合ダイオードの電流電圧特性。(a)順方向特性、(b)逆方向特性。

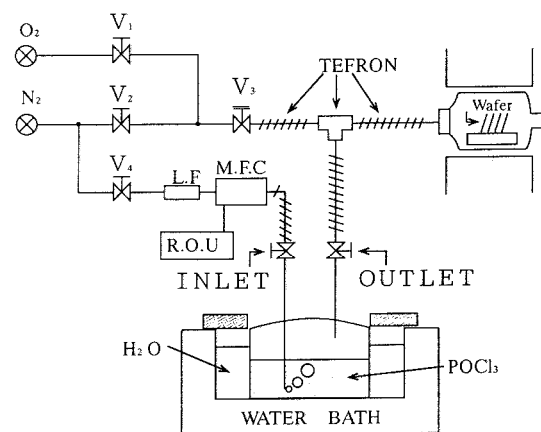


図 8 リンの気相拡散装置

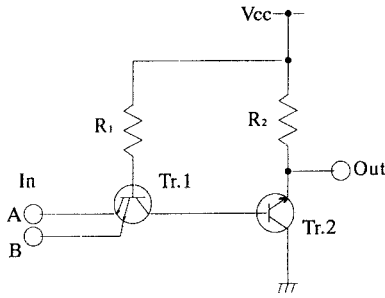


図9 試作したNANDゲートのパターン図

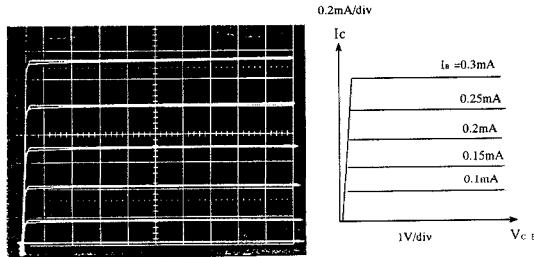
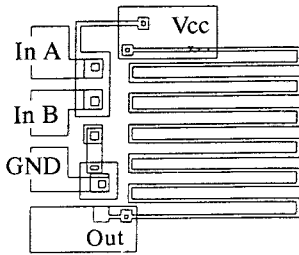


図10 2重拡散により作製したバイポーラトランジスタの電流電圧特性

エミッタ層の拡散が可能となった。

図10に製作したトランジスタの静特性を示す。縦軸がコレクタ電流  $I_C$  ( $0.2\text{mA/div}$ )、横軸がコレクタエミッタ間電圧  $V_{CE}$  ( $1\text{V/div}$ ) であり、パラメータとしてベース電流  $I_B$  を  $50\mu\text{A/div}$  ステップで変化させている。 $I_B$  で  $I_C$  を線形に制御するバイポーラ動作が確認された。この静特性よりエミッタ接地電流増幅率  $h_{FE}$  を次式の定義式より求めた。

$$h_{FE} = \Delta I_C / \Delta I_B$$

厳密には  $h_{FE}$  は  $I_C$ 、 $I_B$  の関数であるが、 $I_C$  が mA オーダーの場合  $h_{FE}$  は10程度の値が得られた。通常の  $h_{FE}$  (100程度) に比較すると低い値であるが、デバイス寸法と実験室レベルから考えると妥当な値と思われる。 $h_{FE}$  の低い原因は、ベース領域の不純物濃度がまだ高く、ベース領域内でのキャリアの再結合率が高いためと推定される。すなわち、ベースのひきのばし拡散の最適化が課題点として残されている。

### 3 MOS プロセス

本項目では、バイポーラプロセスとともに集積化電子デバイスの中心的プロセスである、MOS プロセスの理解を目的として、MOSFET と小規模な MOS インバータの製作と評価を行っている。

図11に基本的な MOS プロセスを示す。ここでは、制御性の良い p チャネル MOS プロセスを採用しているが、基板および拡散層の伝導形を反転させたものが n チャネルプロセスであり、両方を含んだ場合が CMOS プロセスとなる。バイポーラプロセスと比較すると工程は単純であり、実験に適している。

プロセス中で最も重要なのはゲート酸化である。MOS デバイスの基本原理は、ゲート電圧の変化によって、ゲート直下の半導体表面の電子あるいはホール数を自由に変化させることにある。したがって、ゲート酸化膜と半導体との界面に電子・ホールの動きを妨げるような要因が存在すると (一般には酸化膜中あるいは界面の不純物、欠陥)、設計通りの動作が不可能となる。そこで第一に、乾燥酸素により Si 基板の表面に酸化膜を形成し、MOS ダイオード構造により界面の状態を調べた。基板は n 形 Si で酸化温度は  $1000^\circ\text{C}$ 、酸化膜の厚さは約  $100\text{nm}$  である。図12に MOS ダイオードのゲート電圧に対する容量の変化 (C-V 特性) を示す。酸化前にフッ酸 (HF) 処理を行った場合と行わない場合を比較している。HF 処理を行った場

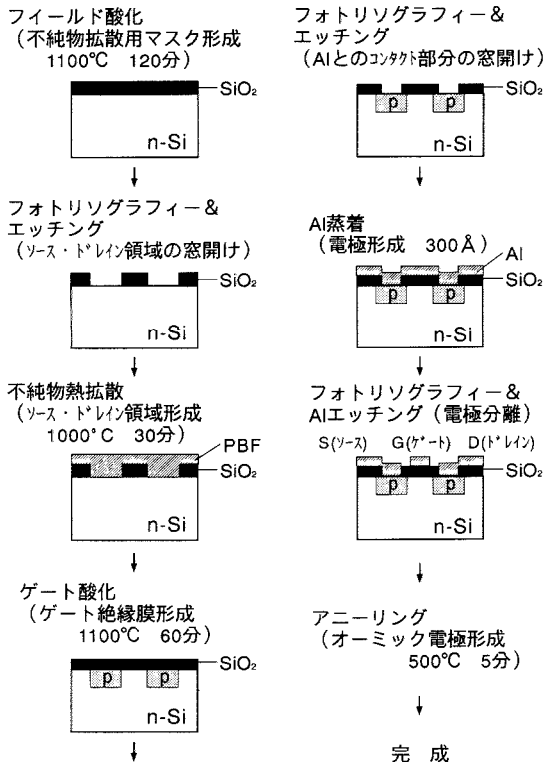


図11 MOSプロセスの模式図

合は、計算より求めた理想曲線とほぼ一致した変化を示し、ゲート電圧によって良好にキャリア数が制御されているのがわかる。一方 HF 処理を行わない場合は、その制御性がきわめて悪いことが明かであり、酸化前に基板表面に存在する不純物、自然酸化膜、欠陥等の悪影響を反映している。すなわち、酸化プロセスでは基板の HF 処理が不可欠であることが証明された。

実際に作製されたエンハンスメント形 (E 形) MOS-FET の電流-電圧特性と 2 乗特性を図13に示す。MOSFET の特徴である 2 乗特性が確認され、ゲート電圧によるドレイン電流の制御が良好に行われていることが明かである。図13の 2 乗特性の傾きより反転 p チャンネル層のホールの実効移動度  $\mu_{eff}$  およびしきい値電圧  $V_T$  を求めると、それぞれ  $40\text{cm}^2/\text{Vsec}$ 、 $-2.5\text{V}$  となった。パターン寸法の最適化、直列抵抗の低減化等の対策により、これらの特性値の改善は可能と考えられる。また、EE 形インバータの動作も確認された。負荷 FET に E 形を採用しているため論理振幅が充分ではなく、インバータ比が 2 と小さいため Low 出力およびしきい値電圧が高いという課題点が残されている。これらの点を改良するとともに、集積化とゲート遅延時間の測定を目的として、図14に示すような 5~7 段のリングオシレータの製作を予定している。

4 金属-半導体接合

金属-半導体接合は電極形成技術や高速のショットキーダイオードの利用という面から、電子デバイスプロセスの基本である。本項目では、Si 基板の裏面にオーム性の電極を形成し、表面にショットキーダイオードを作製し、詳しい電流-電圧 (I-V) 特性の評価を行っている。

p 形 Si 基板裏面に Al を真空蒸着し、熱処理によりオーム性の電極を得る。次に直径  $500\sim 1000\mu\text{m}$  のメタルマスクを介して、基板表面に Al を真空蒸着してショットキーダイオードを形成する。ショットキー電極形成前に基板に種々の処理を施して、I-V 特性への影響について考察させている。

ショットキーダイオードの電流電圧特性は、熱電子放出の理論から一般に次式で与えられる<sup>(3)</sup>。

$$J = J_s \{ \exp(qV/nkT) - 1 \}$$

$$J_s = A^* T^2 \exp(-q\Phi_b/kT)$$

ここで  $q$  は電子電荷量、 $k$  はボルツマン定数、 $T$  は絶対温度、 $A^*$  はリチャードソン定数 (p-Si で  $79.2\text{Acm}^{-2}\text{K}^{-2}$ 、n-Si で  $264\text{Acm}^{-2}\text{K}^{-2}$ )、 $\Phi_b$  は金属と半導体間の

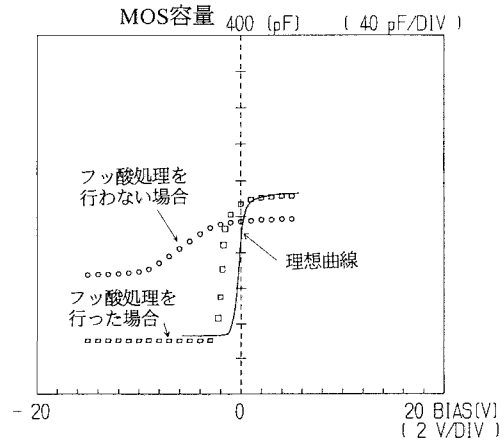


図12 MOS構造の電圧容量特性

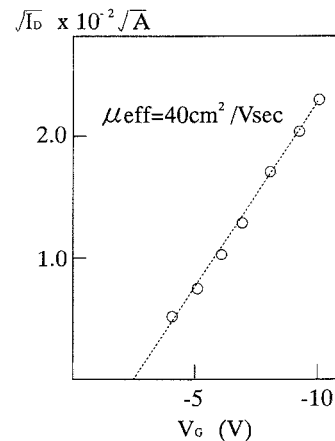
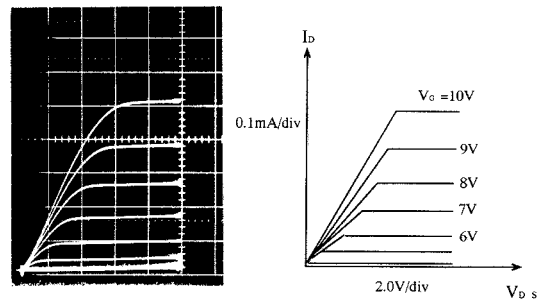


図13 試作した P チャンネル MOSFET の電流電圧特性

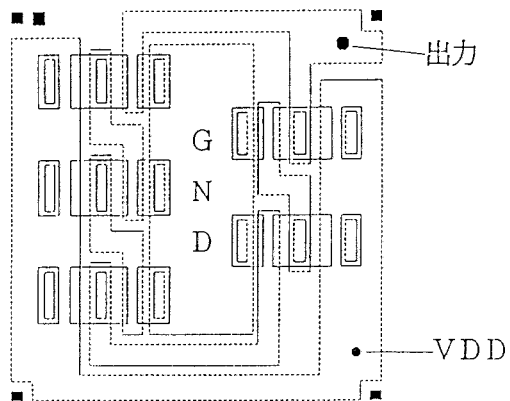


図14 5 段リングオシレータのパターン図

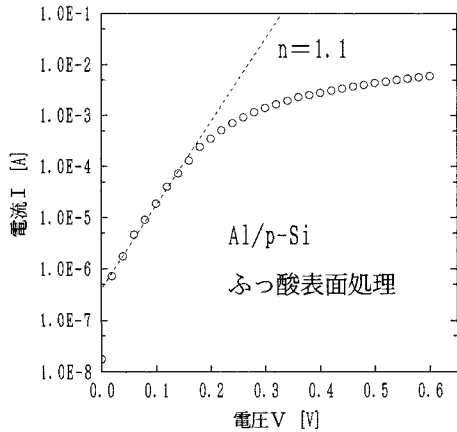


図15 ショットキーダイオードの電流-電圧特性

表2 主として卒業研究で実施している項目

課題	内容
1	各種太陽電池の作製と評価
2	光伝導素子の作製と評価
3	電子材料の陽極酸化とその応用
4	EBIC法による電子デバイスの評価
5	電子デバイスの自動評価システム

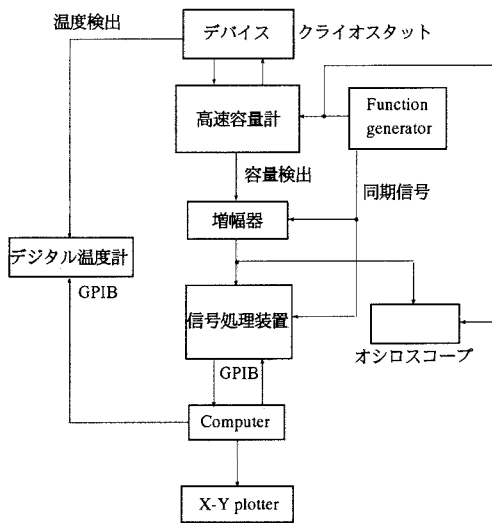


図16 過渡容量応答解析システムのブロック図

バリア高さ(単位 eV)である。また  $n$  は理想因子と呼ばれ、金属-半導体界面が理想的な構造の場合  $n=1$  となり、界面に何らかの乱れがある場合に 1 以上の値(通常 1~2)を示す。すなわち、 $n$  値を求めることで界面の状態を推定することができる。

図15に実測した I-V 特性の log プロットを示す。測定は電圧源を内蔵しているピコアンペアメータで行い、GPIB を介してパソコンで制御している。図の直線

部分の傾きから  $n$  値を計算させて、ダイオード特性を評価させている。良好な Si 表面の場合は  $n=1.1$  程度が得られるが、表面処理を行なわなかったり、Al の蒸着条件が最適化されていない場合は  $n>1.3$  となる。

本項目は実験方法的には簡単であるが、I-V 特性の解析に主眼を置いて、実験結果とモデルとの対応を充分におこない、ダイオード特性と表面状態との関係の理解を深めることが可能となっている。

## 5 主として卒業研究で実施しているテーマ

前節までの実験は2年次の「電子デバイス実験」で実施している内容であるが、本節では主として卒業研究で展開した実験を簡単に述べる。卒業研究の中で基礎データをまとめており、今後いくつかの項目を電子デバイス実験あるいは能開セミナーに導入する予定である。表2に主な項目をまとめた。

太陽電池は、pn 接合型、ショットキー型、MIS 型を作製しそれぞれの特徴の比較を行っている。また、集光電極形状あるいは保護膜・反射膜による効率・最大電力の変化を評価している。同様に光通信分野で重要な受光素子の理解と応用を目的として、フォトダイオードおよびフォトコンダクターの作製と評価を行った。

陽極酸化は室温で電気化学反応により、材料表面に薄い酸化膜を形成する手法であり、薄膜コンデンサ等に応用されている。ここでは、電子デバイスの表面保護あるいは素子応用を目的として、金属膜・化合物半導体等の先端材料の陽極酸化の基礎実験を行っている。

作製技術とともに、作製後の電子デバイスの特性評価も電子デバイスの理解に関して重要な点である。評価技術は電気的評価、構造的評価、分析評価に大別されるが、ここでは電気的評価の自動システム化と、微細加工技術との関連性から走査型電子顕微鏡 (SEM) による構造評価を行っている。電気的評価では、ピコアンペアメータ、インピーダンスアナライザ、微小信号処理装置等を GPIB を介してパソコンにより制御し、データ採取・データ処理・作図を一括して行うことのできるシステムを構築しつつある。一例として、電子デバイスの過渡的容量変化の測定システム<sup>(4)(5)</sup>を図16に示す。SEM を利用した構造解析では電子デバイスの微細形状の観察とともに、電子線で誘起されたキャリア変化を微小電流変化として検出する EBIC 法により、pn 接合等の不良評価システムの開発も行った。

## 6 導入効果

電子デバイス実験の主な導入効果を以下にまとめる。

- 1) 電子回路・電子システム中での集積化電子デバイスはブラックボックス化しているが、本実験によってその構造・原理等が把握できる。
- 2) 現在の集積化電子デバイスの基本工程のフォトリソグラフィを実習することによって、製作プロセスの流れを把握することができ、全体技術を想定した電子デバイス設計思想の一助となりうる。
- 3) 回路・マスク設計を含んだ実験を経験することにより、総合システムとして電子技術を理解することが可能となる。
- 4) 小規模ではあるが実際に集積化デバイスを自作することによって、講義のみでは味わえない現実感を体験することができ、技術者のハード離れに少しでも歯止めをかけることができる。

## III デジタル論理回路 CAD 教材

現在は電気・電子・機械など様々な分野でデジタル処理傾向が強まっている。電子系の分野でも従来はアナログ処理であったものがデジタル処理に置き換わってきている。またシステムや機器などの高機能化・複雑化および製品サイクルの短期化などから、目的用途に応じた ASIC デバイスの開発の必要性が高まっているのが現状である<sup>(6)</sup>。

ASIC 開発の観点から考えた場合、大規模なデジタル論理回路の開発設計手法を習得することが重要な要素になっている。通常デジタルの IC や LSI を開発する場合には専用の CAD を用い、仕様の決定、論理設計、動作シミュレーション、パターン設計（セルの配置配線）等の処理を経て実際に製作され、機能・特性のテストを行なって完成となる。比較的低速で小規模な回路であれば、実際に回路をハードウェア化して動作確認テストが行えるが、大規模で高速な処理系であった場合には、すべてソフトウェア上での確認のみで IC が製造される。それゆえ CAD を用いた回路設計、動作シミュレーションの処理は IC 製作上、また、その他の論理回路設計上欠かせない技術となっている。

近年の論理回路設計手法として HDL（ハードウェア記述言語）による設計がある<sup>(7)</sup>。これは論理回路設計に関する細かい知識がなくとも、システムにおける個々の動作を把握し、専用の言語で記述することがで

きればハードウェアが作成できるものである。作成しようとする回路の複雑化・大規模化が進む現在、できるだけ人間の手を介さずにコンピュータで処理をさせ、誤り無く開発するために、ASIC 開発の分野ではかなり浸透して来つつある技術である。ただ論理回路設計の応用的なレベルの利用技術であり、論理的な考え方に基づく基本的設計手法の理解を欠かすことはできない。

今回はデジタル論理回路の設計技術習得において、市販のデジタル CAD を用いてあらゆる角度から課題設定を行い、一連の課題を解いていくことでデジタル回路設計手法の基礎から応用までを手順よく理解できるような形式の教材を作成した。特に ASIC 開発手順の流れを重視した内容としている。

まず開発した教材の概要について説明する。この教材は12の課題から構成されており、まずパソコン用電子回路 CAD として広く普及している OrCAD を用い、回路設計から動作シミュレーションまでの内容で11課題を解く。CAD そのものの操作については基本的なコマンド操作のみを手順書に掲載し、平易な課題を解きながら徐々に習得していくため特に時間は設けない。最後の課題では CAD 設計に加え、PLD(Programmable Logic Device) の設計を含めたハードウェア回路を作成し、より実際の複合回路でデジタル論理回路について理解を深めるものとした。教材全体の課題内容を表3に示す。

以下本教材の要点について具体的な事例をあげながら説明する。

### (1) 組合せ論理回路の設計

デジタル論理回路の設計では入力信号と出力信号の仕様を決め、両者がある論理的な関係となるようにする。したがって出力信号は一定の論理式で示すことができる。論理設計の手順としては、入出力信号の関係を表わす真理値表から論理式を作成し、最適化（単純化）を行った後回路化する。この手順が論理設計の基本としてとらえることができ、最初のいくつかの課題の中で習得していく。表3では1から5までの課題に相当する。図17に3ビットコンパレータの回路、図18にそのシミュレーション結果を示す。

### (2) 同期式論理回路の設計

フリップフロップを使用した同期式回路は、カウンタなどに代表されるように、デジタル回路の中核をなす要素である。したがってカウンタの動作原理、N進



表3 デジタルCAD実習の項目

課題番号	課題内容
1	NANDによるEXORゲート構成
2	8-1データセレクタの設計
3	BCD-10進デコーダの設計
4	素数検出回路の設計
5	3ビットコンパレータの設計
6	NANDによるフリップフロップ等価回路
7	ゲート遅延の測定
8	N進カウンタの設計
9	カウンタICを用いた分周器の設計
10	カウンタIC内部回路の単純化
11	多機能シフトレジスタの設計
12	サイコロ回路の設計製作

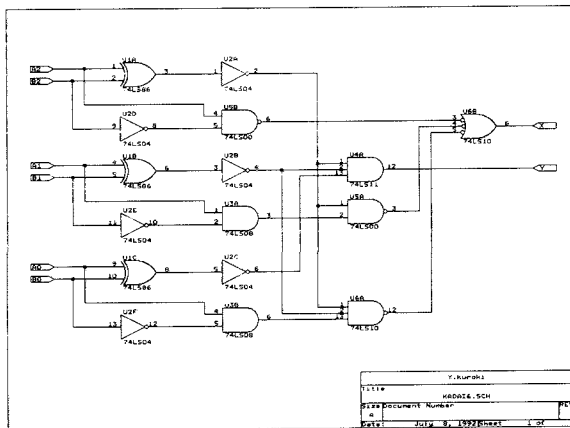


図17 3ビットコンパレータの回路図

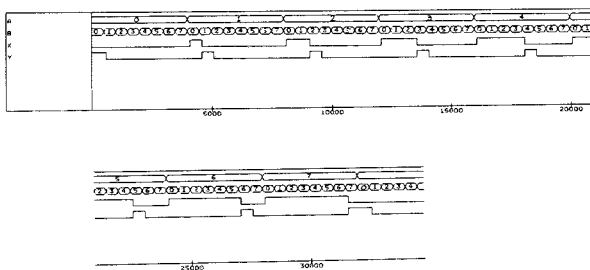


図18 3ビットコンパレータのシミュレーション結果

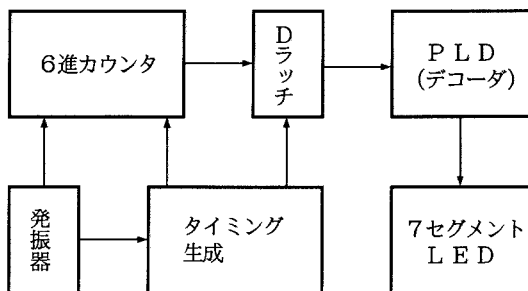


図19 電子サイコロ回路のブロック図

カウンタの設計手法、カウンタ IC (TTL74163等) の使用方法などについて理解を深める課題内容とした。

また74163の内部回路は、多数の制御入力信号があるためかなり複雑な構成となっている。課題の一つとして、制御信号を CLR のみに削減する内部回路の単純化を取り入れた。このような課題で複雑な組合せ回路を順序よく論理的に見ていく力(回路を読める力)を養うことができると考える。

(3) テストパターン

動作シミュレーションでは、作成した回路に対して設計者の意図する回路機能が正常に働くかどうかをチェックする。そのためには回路の機能を100%確認するためのテストパターンの作成が重要な要素となる。大規模な LSI 開発では全回路の機能をチェックすると共にできるだけ短いパターン数で作成することが要求される。これは、出荷テストの信頼度とテスト時間短縮によるコスト低減につながってくる。

課題は常に入出力のインターフェース仕様を与え、そこから回路を設計するような形式とした。従ってテストパターンについても仕様に沿って形式で個々に考えなければならない。設計した回路を100%確認するための要素としては、1)全機能が確認できること、2)回路のどこかが故障して H または L レベルに固定している場合にも検出できること、等があげられる。

(4) 応用回路の設計と製作

回路設計から論理シミュレーションまでの技術を習得した後は、他の複合的な要素を加え、ハードウェア製作まで含めた課題を作成した。今回はサイコロ動作を回路化した。図19に回路全体のブロック図を示す。発振器からのパルスを入力とする6進カウンタをCADにより設計する。1から6までの2進データはDラッチに入力されて通過し、2進-7セグメントLEDデコーダによりデータ変換されLEDに数字が繰り返し表示される。タイミング生成回路に含まれるスイッチを押すことでDラッチにデータを記憶し、LEDの数字がストップしてサイコロの目が確定した状態となる。

2進-7セグメントLEDデコーダはPLDを利用する。入出力を論理式の関係で表わし、内部データを作成してPLD化する。PLDはプログラマブルなASICとしてよく利用されており、PLDの論理設計も実用的な技術の習得になっている。またタイミング生成回路では、全体のタイミングを意識したFF回路の設計を行ない、論理式で設計する以外の要素についても取り

入れている。

今回開発した教材では基礎的な技術習得を主としたため、応用的な回路技術についてはまだ不十分な点があり、さらに課題の内容について検討を加えたい。いずれにしても、ASIC 開発の手順にそってデジタル回路教育を実施していけば、デジタル回路設計技術者としての基礎的素養は十分に身につけることができると考える。

またこの教材は学生実験で実施していると共に、一般向けの能開セミナーにおいても「デジタル回路 CAD の基礎」というコースを開設し、デジタル論理回路設計技術習得に有効に活用している。

#### IV 電子デバイス理解のための CAE ソフトの作成

大学教育の伝統的形態として講義と実験・実習があるが、近年、第三の教育形態として CAE(計算機援用教育) やビデオ教育が取り入れられるようになってきている。講義は主として理論的知識の修得、実験・実習はその実証・応用を目的とするが、学生にとっての講義はどうしても受け身的になりがちであり、一方、実験・実習は、そのための設備と時間を要するという問題がある。CAE やビデオ教育は、視覚的手段を使って学生の興味・関心を喚起しながら、講義内容の要点を理解させ、また特別な設備を要さず短時間で実験・実習の模擬(シミュレーション)を行うことができる点に特長がある。しかし、講義や実験・実習と連携のとれた市販ソフトはそう多くないのが現状である。

本章では、電子デバイス(ダイオードとトランジスタ)の動作原理を理解するための教材として CAE ソフトを自主制作したので、その概要を説明する。このソフトを作成するにあたっての基本的考え方は、先の報告<sup>6)</sup>と変わっておらず省略する。

開発した CAE ソフトでの学習項目は大きく5つからなり、その内容のあらまは以下のとおりである。

##### [1] 原子と電子

原子構造と電気伝導に寄与する価電子について説明している。

##### [2] 導体と絶縁体

電気の流れ(電流)が電子の移動を意味すること、導体や絶縁体(不導体)の違いと原子の結合形態の関係などを説明している。

##### [3] 半導体

半導体の一般的性質、p 型、n 型半導体とその違い、正孔(ホール)の意味などを説明している。

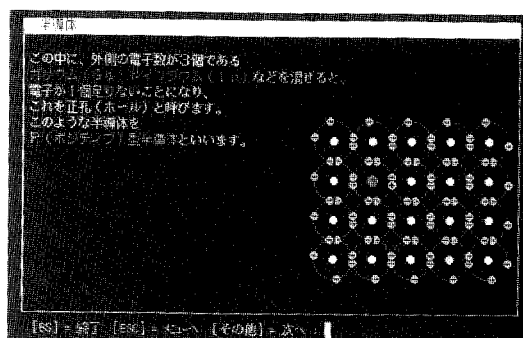


図20 半導体中での電子のふるまいを説明した表示画面

##### [4] ダイオード

pn 接合の意味と製造方法、順・逆バイアスでの半導体内部の電子と正孔のふるまい、素子としての各端子の名称、電流-電圧静特性などを説明している。

##### [5] トランジスタ

pnp、npn 型トランジスタとその違い、トランジスタの実際の構造と各部の名称、バイアス時の内部の電子と正孔のふるまいなどを説明している。

各学習項目の説明文は、先に制作したソフト<sup>6)</sup>同様、一文字ずつ目で追える程度の早さで表示し、この表示に合わせてビーブ音を出す。表示速度は、使用者の好み、使用する計算機の動作速度に合わせて設定できるようにもなっている。説明文に合わせて図形表示を行っているが、電子や正孔のふるまいが直感的に理解できるよう、動画表示を多く取り入れるようにした。図20に表示画面の一例を示す。

本ソフトを制作する過程では、特に電子や正孔のふるまいをいかに文章化あるいは図示化するかに悩んだ。これらを厳密に説明しようとするれば、量子論を踏まえないければならないが、例えば、「電子は確率論的に原子に共有される」、「『ガス状』になった自由電子がイオン化された原子を結合する働きをする」などという説明文が理解を得られる表現なのか、という疑問もさることながら、この説明に適合した図示化をどうすればよいかという技術的壁もあった。

本ソフトでは、このような事情から電子や正孔を粒子的に表現せざるを得なかったし、説明が難しい部分や、説明することがかえって混乱を与えそうな部分については、あえて言及を避けた。電子物性の教科書では必ずといってよいほど登場する「バンド理論」に触れていないのもそのためである。この分野の専門家からすれば、多少首をかしげるような箇所もあるかと思うが、「少し変ではあるが、ウソでもない」表現となるところに妥協点を求めている。

なお、本ソフトでは、トランジスタを使った回路や

MOS型半導体などについて触れていないが、今後、順次追加・拡張したいと考えている。また、本ソフトのより詳細な報告も別の機会に行いたい。

本ソフトはMS-DOS環境のパソコン(PC-9801シリーズ)上で動作する。プログラムはMS-Cで記述しており、プログラムサイズは約120kBである。図の表示速度に多少差がある以外、機種による制約はないと思う。希望者にはソースを含めて提供する用意がある。

## V まとめ

電子回路技術と集積回路技術を含んだ統合的な電子技術分野の教育訓練を実験・実習および能力開発セミナー等に導入することを目的として、集積化電子デバイスの理解を援助するCAE教材と設計・作製技術用実習教材の作製を行った。ブラックボックス化したデバイスあるいはシステム内部の基本的原理を理解するうえで、有用な教材が開発できたと考える。また、電子デバイスの基礎的構造および動作を理解することは、電子技術システムを利用する側へも効果的なフィードバックがかかるものと期待される。今後はアナログ素子のシミュレーション等を付加して、実習実験システムを充実させる予定である。

なお本研究開発の一部は、平成4年度指定研究の補助を受けて行われたものであり、関係各位に深謝の意を表する。

### 参考文献

- (1) 中村、石田、臼井：「集積回路技術の実際」、産業図書、1987。
- (2) 小田、杉浦、松村：応用物理、60巻(1991)、p.396。
- (3) S.M. Sze: Physics of Semiconductor Devices, 2nd. ed. (New York, Wiley, 1981), chapter 2.
- (4) T.Hashizume and H.Nagabuchi: Semicond. Sci. Technol., 4 (1989), p.427.
- (5) T.Hashizume et al: J.Appl. Phys., 68 (1990), p. 3394.
- (6) 黒木、橋詰：「電子回路およびデジタル回路教育体系の一考察」、第4回実践教育研究発表会予稿集(1991)、p.168。
- (7) 「特集ハードウェア記述言語」、情報処理学会誌、33巻(1992)、p.1235
- (8) 恩田邦夫：「信号処理に関する教育用ソフトの製作」、技能と技術、27巻(1992)、2号、p.22。